

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-075367

(43)Date of publication of application : 16.03.1999

(51)Int.Cl. H02M 3/155

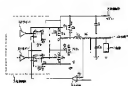
H03K 17/12

H03K 17/687

(21)Application number : 09-234388 (71)Applicant : TOYOTA AUTOM LOOM
WORKS LTD

(22)Date of filing : 29.08.1997 (72)Inventor : MORI SHOGO

(54) DC/DC CONVERTER



(57)Abstract:

PROBLEM TO BE SOLVED: To improve the efficiency of a DC/DC converter and reduce its cost.

SOLUTION: In a DC/DC converter, a DC power supply to a load is turned on and off by the switching operation of a MOS transistor Q1. The DC/DC converter has

a detecting means R1 which detects whether the load 1 is large or small and a connecting means SW1 with which another MOS transistor Q2 is connected in parallel to the MOS transistor Q1 when the detecting means R1 detects that the load is large.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The DC to DC converter characterized by providing the connecting means which connects other MOS transistors at juxtaposition at said MOS transistor in the DC to DC converter which turns on and off between a load and DC power supplies by the MOS transistor which carries out switching operation when said detection means detects detection being [detect the size of said load] a means, and that said load is large.

[Claim 2] The DC to DC converter characterized by providing in juxtaposition the connecting means which connects other MOS transistors at the MOS transistor which drives said MOS transistor when said detection means detects detection being [detect the size of said load] a means, and that said load is large in the DC to DC converter which turns on and off between a load and DC power supplies by the MOS transistor which carries out switching operation.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About a DC to DC converter, especially this invention relates to the technique of operating efficiently, even if the magnitude of the load current changes.

[0002]

[Description of the Prior Art] The DC to DC converter is used from the former. JP,9-140126,A is indicating the conventional example of this DC to DC converter. Drawing 4 shows the circuit of this conventional example. drawing 4 -- setting -- a DC to DC converter (in addition by JP,9-140126,A, it considers as the switching regulator.) -- an output circuit 20, the PWM control circuit 30, the output-control circuit 40, and switch SW5 from -- it becomes. An output circuit 20 consists of the power metal oxide silicon field effect transistors (let a "metal oxide silicon field effect transistor" be an "MOS transistor" hereafter.) (MOSFET) Q11 and Q12, diode D3, an inductance L3, resistance R3, a capacitor C5, C6, and drivers 21 and 22. In addition, a transistor Q11 is a large transistor of the permissible output current, and a transistor Q12 is a small transistor of the permissible output current.

[0003] A driver 21 drives a transistor Q11 and a driver 22 drives a transistor Q12. Transistors Q11 and Q12 carry out switching operation, and it connects with juxtaposition between the source drains of transistors Q11 and Q12. Inductance L3 And capacitor C6 It is an object for smooth. The power supply terminal 23 is connected to the source of transistors Q11 and Q12. Load resistance R6 is connected to the output terminal 24. The PWM control circuit 30 is an oscillator 31, the control logic 32, a comparator 33, the differential amplifier 34, reference voltage 35, resistance R4, and R5. And it consists of controllable offset voltage 36.

[0004] The PWM control circuit 30 is a current mode-pulse width modulation (PWM) circuit which controls the duty cycle of drivers 21 and 22, in order to adjust the current which passes along resistance R3 so that the electrical potential difference of an output terminal 24 may become a desired value. The control logic 32 supplies the on-pulse of constant frequency to drivers 21 and 22 with an oscillator 31. By each on-pulse, drivers 21 and 22 turn ON transistors Q11 and Q12. In addition, inductance L3 When a comparator 33 shows that the level to which the flowing current was set by the differential amplifier 34 was reached, the control logic 32 works so that TORAJISUTA Q11 and Q12 may be turned OFF. The output-control circuit 40 consists of a comparator 41 and reference voltage 42. In order to make it operate efficiently, they are the output-control circuit 40 and a switch SW5. In a light load, a transistor Q11 does not operate, but a transistor Q12 operates, by heavy loading, a transistor Q12 does not operate but a transistor Q11 operates (when the current which flows resistance R3 is small).

[0005]

[Problem(s) to be Solved by the Invention] However, since big power MOS transistor Q11 is used and small power MOS transistor Q12 is not used when the load current is large, the load of capacity with which big power MOS transistor Q11 and small power MOS transistor Q12 were combined is uncontrollable by the above-mentioned conventional example. For this reason, since small power MOS transistor Q12 became useless in order to control the load of a predetermined capacity, there was a fault that cost became high. Therefore, the technical problem of the invention in this application is offering the DC to DC converter with which the fault of the above-mentioned conventional example is abolished, it operates efficiently even if the load current's is large and it is small, and cost's becomes cheap.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, when said detection means detects detection being [detect the size of

said load in the DC to DC converter which turns on and off between a load and DC power supplies by the MOS transistor which carries out switching operation of the configuration of the 1st of invention of this application] a means, and that said load is large, it is the DC to DC converter characterized by providing in juxtaposition the connecting means which connects other MOS transistors at said MOS transistor.

[0007] Since a connecting means connects other MOS transistors to juxtaposition at the MOS transistor which turns on and off between a load and DC power supplies by switching operation when a detection means detects the size of a load and said detection means detects that said load is large by the configuration of invention of the above 1st, a DC to DC converter can be efficiently operated irrespective of the size of a load.

[0008] Furthermore, in the DC to DC converter which turns on and off between a load and DC power supplies by the MOS transistor which carries out switching operation, the 2nd configuration of invention is a DC to DC converter characterized by providing in juxtaposition the connecting means which connects other MOS transistors at the MOS transistor which drives said MOS transistor, when said detection means detects detection being [detect the size of said load] a means, and that said load is large.

[0009] Furthermore, since the MOS transistor of others [MOS transistor / to which a connecting means drives said MOS transistor when said detection means detects that a detection means detects the size of a load in the DC to DC converter which turns on and off between a load and DC power supplies by the MOS transistor which carries out switching operation by the configuration of the 2nd invention, and said load is large / juxtaposition] is connected, a DC to DC converter can be efficiently operated irrespective of the size of said load.

[0010]

[Embodiment of the Invention] Drawing 1 shows the circuit of the DC to DC converter concerning the gestalt of operation of the 1st of the invention in this application. It sets to drawing 1 and is power MOS transistor (p channel mold

MOSFET) Q1 to a serial between a power supply terminal 6 and an output terminal 7. Between source drains and inductance L1 And resistance R1 It connects with a serial, DC-power-supply +VDD is connected between a power supply terminal 6 and a grounding point, and the load 1 is connected between the output terminal 7 and the grounding point. Furthermore, power MOS transistor Q2 (p channel mold MOSFET) Between source drains is MOS transistor Q1. It connects with juxtaposition between source drains. MOS transistor Q3 (n channel mold MOSFET) The source is connected to a grounding point and a drain is MOS transistor Q1. It connects with the drain. Furthermore, MOS transistor Q4 (n channel mold MOSFET) Between source drains is MOS transistor Q3. It connects with juxtaposition between source drains.

[0011] The output terminal of the differential amplifier 2 is a switch SW1. Input terminal d1 And switch SW2 Input terminal d2 It connects. The differential amplifier 2 is resistance R1. Consider the difference electrical potential difference of an electrical potential difference and offset voltage VS1 as an input, and when this difference electrical potential difference is below a predetermined value Connection condition which shows a switch SW1 as a continuous line And switch SW2 (in SW1, a terminal a1 and a terminal b1 are connected) SW2 It is a terminal a2 then. Terminal b2 When it changes into the condition of having connected and said difference electrical potential difference exceeds said predetermined value Switch SW1 And switch SW2 It changes into the connection condition (condition that the terminal a1 and the terminal c1 were connected in SW1, and the terminal a2 and the terminal c2 were connected in SW2) shown by the dotted line. A control circuit 3 is drivers 4 and 5 and a switch SW1, and SW2. It contains. The output terminal of a driver 4 is MOS transistor Q1. The gate and switch SW1 Terminal c1 Connecting, the output terminal of a driver 5 is MOS transistor Q3. The gate and switch SW2 Terminal c2 It connects. Diode D1 A cathode is MOS transistor Q1. It connects with a drain and the anode is grounded. Capacitor C1 It connects between a power supply terminal 6 and a grounding point, and is a capacitor C2. It connects between the output terminal 7

and the grounding point.

[0012] When a load 1 is below a predetermined value by the above configuration (at the time of a light load), it is resistance R1. Since the voltage drop is small, it is a switch SW1. And switch SW2 Connection is in the condition shown as a continuous line. For this reason, the driver 4 of a control circuit 3 is MOS transistor Q1. Driving the gate, a driver 5 is MOS transistor Q3. The gate is driven. In addition, it is MOS transistor Q2 at this time. It is a switch SW1 between the gate sources. A terminal a1 and b1 It connects too hastily and is MOS transistor Q4. It is a switch SW2 between the gate sources. A terminal a2 and b2 It has connected too hastily. For this reason, it is power MOS transistor Q1 at the time of a light load. The amount of charges of the gate (the amount of charge charges of the capacitance which exists in the gate) is MOS transistor Q1. MOS transistor Q2 Since it is fewer than the sum of the amount of charges of the gate, effectiveness can be gathered. In addition, MOS transistor Q1 MOS transistor Q3 It drives by drivers 4 and 5 and becomes ON by turns.

[0013] On the other hand, when a load exceeds a predetermined value (at the time of heavy loading), it is resistance R1. Since the voltage drop is large, it is a switch SW1. And switch SW2 Connection is in the condition shown by the dotted line. For this reason, MOS transistor Q2 MOS transistor Q1 It connects with juxtaposition and is MOS transistor Q4. MOS transistor Q3 It connects with juxtaposition. For this reason, MOS transistor Q1 and Q2 Since the on resistance of the doubled transistor becomes small, effectiveness becomes good. At this time, the driver 4 of a control circuit 3 is MOS transistor Q1 and Q2. Driving the gate, a driver 5 is MOS transistor Q3 and Q4. The gate is driven. In addition, power MOS transistor Q1 and Q2 It is good also as an n channel mold power MOS transistor. In this case, n channel mold power MOS transistors Q1 and Q2 The polarity of a gate input signal becomes the thing and reverse of a case of said p channel.

[0014] Drawing 2 shows the circuit of the DC to DC converter concerning the gestalt of operation of the 2nd of the invention in this application. The gestalt of

the 2nd operation is the modification of the gestalt of implementation of the above 1st. In drawing 2, control circuit 3a controls driver 4a and driver 5a, driver 4a operates like the driver 4 of drawing 1, and driver 5a operates like the driver 5 of drawing 1. Differential-amplifier 2a and 2b replace the differential amplifier 2 of drawing 1. Differential-amplifier 2a is resistance R1. Differential-amplifier 2b operates by amplifying an electrical potential difference as a comparator which compares the output and reference voltage V_r of differential-amplifier 2a, and they are a switch SW1 and SW2. It controls. Control circuit 3a receives a feedback signal from an output terminal 7, and controls Drivers 4a and 5a by Pulse Density Modulation (PWM) to maintain a load output at a predetermined value. Others are the same as that of above-mentioned drawing 1.

[0015] It sets to drawing 2 as well as drawing 1, and is MOS transistor Q2 at the time of heavy loading. MOS transistor Q1 It connects with juxtaposition and is MOS transistor Q4. MOS transistor Q3 It connects with juxtaposition and is MOS transistor Q1 at the time of a light load. MOS transistor Q3 It operates. For this reason, the circuit of drawing 2 has the same effectiveness as the circuit of drawing 1.

[0016] Drawing 3 shows the circuit of the DC to DC converter concerning the gestalt of the 3rd operation. It sets to drawing 3 and is power MOS transistor (p channel mold MOSFET) Q9 to a serial between a power supply terminal 17 and an output terminal 18. Between source drains and inductance L2 And resistance R2 It connects with a serial and the load 11 is connected between the output terminal 18 and the grounding point. In addition, DC power supply are connected to the power supply terminal 17 like said power supply terminal 6.

[0017] A control circuit 13 is MOS transistor (p channel mold MOSFET) Q5, Q6, MOS transistor (n channel mold MOSFET) Q7, Q8, a switch SW3, and SW4. And it consists of drivers 14, 15, and 16. MOS transistor Q6 Between source drains is MOS transistor Q9. It connects between the source gates and is MOS transistor Q5 further. Between source drains is MOS transistor Q6. It connects between source drains. A grounding point and said MOS transistor Q9 Between the

source drains of power MOS transistor (n channel mold MOSFET) Q10 is connected between drains. MOS transistor Q8 Between source drains is MOS transistor Q9. It connects between the gate and a grounding point and is MOS transistor Q7 further. Between source drains is MOS transistor Q8. It connects between source drains.

[0018] The output terminal of a driver 14 is MOS transistor Q5. The gate and switch SW3 Terminal c3 Connecting, the output terminal of a driver 15 is MOS transistor Q8. The gate and switch SW4 Terminal c4 It connects. Furthermore, the output terminal of a driver 16 is connected to the gate of MOS transistor Q10. The differential amplifier 12 is resistance R2. Considering the difference electrical potential difference of an electrical potential difference and offset voltage VS2 as an input, the output terminal of the differential amplifier 12 is a switch SW3. Input terminal d3 And SW4 Input terminal d4 It connects. With the differential amplifier 12, when the electrical potential difference of resistance R2 </SUB> is below a predetermined value (at the time of a light load) A switch SW3 and the connection condition of SW4 are a condition (the terminal a3 and terminal b3 of SW3 are connected) shown as a continuous line. SW4 Terminal a4 Terminal b4 It will be in the condition of having connected and is resistance R2. When an electrical potential difference exceeds said predetermined value (at the time of heavy loading) A switch SW3 and the connection condition of SW4 will be in the condition (condition that the terminal a3 and terminal c3 of SW3 were connected, and the terminal a4 and terminal c4 of SW4 were connected) which shows by the dotted line.

[0019] Diode D2 A cathode is MOS transistor Q9. It connects with a drain and the anode is grounded. Capacitor C3 It connects between a power supply terminal 17 and a grounding point, and is a capacitor C4. It connects between the output terminal 18 and the grounding point. In addition, also for a driver 16, the circuit linked to the gate of power MOS transistor Q10 is power MOS transistor Q9. It may be the same as that of the circuit linked to the gate. Moreover, power MOS transistor Q10 is lost and it is good also as an asynchronous DC to DC converter.

[0020] By the above configuration, it is resistance R2 at the time of a light load. Since an electrical potential difference is below a predetermined value, it is a switch SW3. MOS transistor Q6 It is made not to operate and is a switch SW4. MOS transistor Q7 It is made not to operate. For this reason, a driver 14 is MOS transistor Q5. Driving, a driver 15 is MOS transistor Q8. It drives. For this reason, since drive loss of drivers 14 and 15 decreases, effectiveness increases. In addition, MOS transistor Q5 MOS transistor Q8 It operates as CMOS, becomes ON by turns, and is MOS transistor Q9 of the next step. It drives. A driver 16 drives MOS transistor Q10.

[0021] On the other hand, it is resistance R2 at the time of heavy loading. Since an electrical potential difference exceeds a predetermined value, it is a switch SW3. MOS transistor Q6 MOS transistor Q5 It connects with juxtaposition and is a switch SW4. MOS transistor Q7 MOS transistor Q8 It connects with juxtaposition. For this reason, a driver 14 is MOS transistor Q5 and Q6. Driving, a driver 15 is MOS transistor Q7 and Q8. It drives. MOS transistor Q5 and Q6 MOS transistor Q7 and Q8 It operates as CMOS, becomes ON by turns, and is MOS transistor Q9 of the next step. It drives. For this reason, MOS transistor Q9 Since a switching rate becomes quick, it is MOS transistor Q9. Switching loss decreases. Consequently, effectiveness becomes good. In addition, a driver 16 drives MOS transistor Q10, and is MOS transistor Q9. MOS transistor Q10 serves as ON by turns. For this reason, a DC to DC converter can be efficiently operated irrespective of the size of a load.

[0022]

[Effect of the Invention] Since according to the DC to DC converter concerning invention of the 1st of this application other power MOS transistors are connected to juxtaposition at the power MOS transistor which turns on and off between a load and DC power supplies by switching operation when a load is large, a DC to DC converter can be efficiently operated irrespective of the size of a load. Furthermore, since the capacity of the power MOS transistor to be used is used for the maximum and there is no useless power MOS transistor, cost

becomes cheap. Furthermore, since according to the DC to DC converter of the 2nd invention other MOS transistors are connected to juxtaposition at the MOS transistor which drives the power MOS transistor which turns on and off between a load and DC power supplies by switching operation when a load is large, a DC to DC converter can be efficiently operated irrespective of the size of said load. Furthermore, since the capacity of the MOS transistor to be used is used for the maximum and there is no useless MOS transistor, cost becomes cheap.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of the DC to DC converter concerning the gestalt of operation of the 1st of the invention in this application.

[Drawing 2] It is the circuit diagram of the DC to DC converter concerning the gestalt of the 2nd operation.

[Drawing 3] It is the circuit diagram of the DC to DC converter concerning the gestalt of the 3rd operation.

[Drawing 4] It is the circuit diagram of the conventional example.

[Description of Notations]

1 11 Load

6 17 Power supply terminal

Q1, Q2, Q9 P channel mold power MOS transistor

Q3, Q4, Q10 N channel mold power MOS transistor

Q5, Q6 P channel mold MOS transistor

Q7, Q8 N channel mold MOS transistor

R1, R2 Resistance

2, 2a, 2b Differential amplifier

SW1, SW2, SW3, SW4 Switch

[Translation done.]

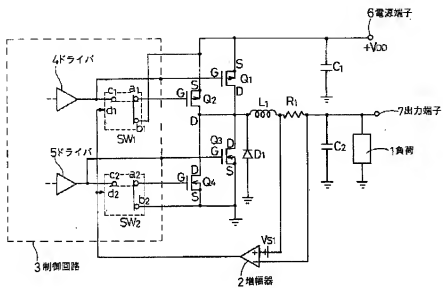
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

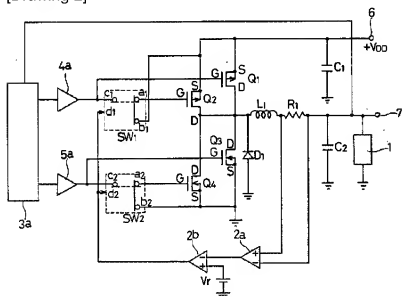
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

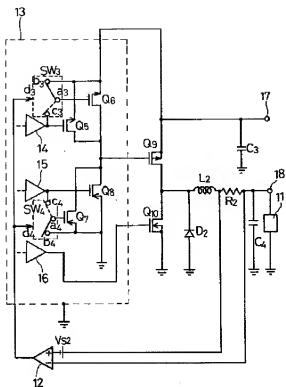
[Drawing 1]



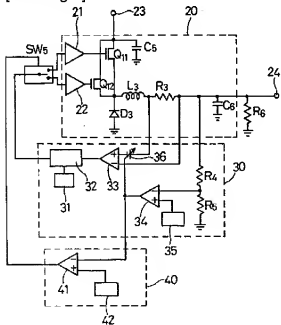
[Drawing 2]



[Drawing 3]



[Drawing 4]



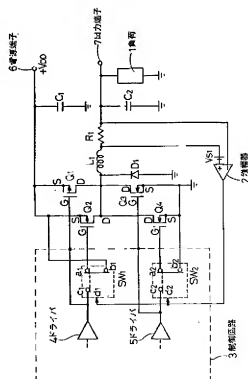
(51) Int.Cl. ⁶ H 0 2 M 3/155 H 0 3 K 17/12 17/687	識別記号	F I H 0 2 M 3/155 H 0 3 K 17/12 17/687	S H F
審査請求 未請求 請求項の数 2 O L (全 6 頁)			
(21) 出願番号 (22) 出願日	(71) 出願人 000003218 株式会社豊田自動織機製作所 愛知県刈谷市豊田町2丁目1番地 (72) 発明者 森 昌彦 愛知県刈谷市豊田町2丁目1番地 株式会社 豊田自動織機製作所内 (74) 代理人 弁理士 岡田 英彦 (外1名)		
(21) 出願番号 特願平9-234388	(71) 出願人 000003218 株式会社豊田自動織機製作所 愛知県刈谷市豊田町2丁目1番地		
(22) 出願日 平成9年(1997) 8月29日	(72) 発明者 森 昌彦 愛知県刈谷市豊田町2丁目1番地 株式会社 豊田自動織機製作所内 (74) 代理人 弁理士 岡田 英彦 (外1名)		

(54) 【発明の名称】 DC/DCコンバータ

(57) 【要約】

【課題】 DC/DCコンバータの効率を良くし、かつコストを安くすること。

【解決手段】 スイッチング動作するMOSトランジスタ Q_1 により負荷1と直流電源6との間をオンオフするDC/DCコンバータにおいて、前記負荷1の大小を検出する検出手段 R_1 と、前記負荷1が大きいことを前記検出手段 R_1 が検出した場合に前記MOSトランジスタ Q_1 に並列に他のMOSトランジスタ Q_2 を接続する接続手段 SW_1 とを具備することを特徴とするDC/DCコンバータ。



【特許請求の範囲】

【請求項1】 スイッチング動作するMOSTランジスタにより負荷と直流電源との間をオンオフするDC/DCコンバータにおいて、前記負荷の大小を検出する検出手段と、前記負荷が大きいことを前記検出手段が検出した場合に前記MOSTランジスタに並列に他のMOSTランジスタを接続する接続手段とを具備することを特徴とするDC/DCコンバータ。

【請求項2】 スイッチング動作するMOSTランジスタにより負荷と直流電源との間をオンオフするDC/DCコンバータにおいて、前記負荷の大小を検出する検出手段と、前記負荷が大きいことを前記検出手段が検出した場合に前記MOSTランジスタを駆動するMOSTランジスタに並列に他のMOSTランジスタを接続する接続手段とを具備することを特徴とするDC/DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DC/DCコンバータに関し、特に、負荷電流の大きさが変化しても効率良く動作する技術に関するものである。

【0002】

【従来の技術】 従来からDC/DCコンバータが使用されている。特開平9-140126号公報はこのDC/DCコンバータの従来例を開示している。図4はこの従来例の回路を示す。図4において、DC/DCコンバータ（なお、特開平9-140126号公報ではスイッチングレギュレータとされている。）、出力回路20、PWM制御回路30、出力制御回路40及びスイッチSW₅からなる。出力回路20は、パワーMOS電界効果トランジスタ（以下、「MOS電界効果トランジスタ」を「MOSTランジスタ」とする。）（MOSFET）Q₁₁、Q₁₂、ダイオードD₃、インダクタンスL₃、抵抗R₃、コンデンサC₆、C₅及びドライバ21、22からなる。なお、トランジスタQ₁₁は許容出力電流の大きいトランジスタであり、トランジスタQ₁₂は許容出力電流の小さなトランジスタである。

【0003】ドライバ21はトランジスタQ₁₁を駆動し、ドライバ22はトランジスタQ₁₂を駆動するものである。トランジスタQ₁₁、Q₁₂はスイッチング動作をするものであり、トランジスタQ₁₁、Q₁₂のソース・ドレイン間は並列に接続されている。インダクタンスL₃及びコンデンサC₆は平滑用である。電源端子23はトランジスタQ₁₁、Q₁₂のソースに接続されている。出力端子24には負荷抵抗R₆が接続されている。PWM制御回路30は、発振器31、制御ロジック32、比較器33、差動増幅器34、基準電圧35、抵抗R₄、R₅及び制御可能なオフセット電圧36からなる。

【0004】PWM制御回路30は、出力端子24の電

圧が所望の値になるように抵抗R₃を通る電流を調整するために、ドライバ21、22のデューティサイクルを制御する電流モードパルス幅変調（PWM）回路である。発振器31により制御ロジック32は、ドライバ21、22に一定周波数のオンパルスを送る。各オンパルスにより、ドライバ21、22はトランジスタQ₁₁、Q₁₂をオンにする。なお、インダクタンスL₃を流れる電流が差動増幅器34によってセットされたレベルに達したことを比較器33が示したときに、制御ロジック32はトランジスタQ₁₁、Q₁₂をオフにするように働く。出力制御回路40は、比較器41及び基準電圧42からなる。効率よく動作するようにするために、出力制御回路40及びスイッチSW₅により軽負荷（抵抗R₃）を流れる電流が小さいときにおいて、トランジスタQ₁₁は動作せず、トランジスタQ₁₂が動作し、重負荷では、トランジスタQ₁₂は動作せず、トランジスタQ₁₁が動作する。

【0005】

【発明が解決しようとする課題】 しかし、上述の従来例では、負荷電流が大きいときは大きなパワーMOSTランジスタQ₁₁を使用し、小さなパワーMOSTランジスタQ₁₂を使用しないので、大きなパワーMOSTランジスタQ₁₁と小さなパワーMOSTランジスタQ₁₂を併せた容量の負荷を制御できない。このため、所定の容量の負荷を制御するために、小さなパワーMOSTランジスタQ₁₂が無駄になるので、コストが高くなるという欠点があった。したがって、本願発明の課題は、上述の従来例の欠点をなくし、負荷電流が大きくても小さくても効率良く動作し、かつコストが安くなるDC/DCコンバータを提供することである。

【0006】

【課題を解決するための手段】 上記課題を解決するため、本願の第1の発明の構成は、スイッチング動作するMOSTランジスタにより負荷と直流電源との間をオンオフするDC/DCコンバータにおいて、前記負荷の大小を検出する検出手段と、前記負荷が大きいことを前記検出手段が検出した場合に前記MOSTランジスタに並列に他のMOSTランジスタを接続する接続手段とを具備することを特徴とするDC/DCコンバータである。

【0007】 上記第1の発明の構成により、検出手段が負荷の大小を検出し、前記負荷が大きいことを前記検出手段が検出した場合に、接続手段が、スイッチング動作により負荷と直流電源との間をオンオフするMOSTランジスタに並列に他のMOSTランジスタを接続するので、負荷の大小に係らずDC/DCコンバータを効率良く動作させることができる。

【0008】 更に、第2の発明の構成は、スイッチング動作するMOSTランジスタにより負荷と直流電源との間をオンオフするDC/DCコンバータにおいて、前記負荷の大小を検出する検出手段と、前記負荷が大きいこ

とを前記検出手段が検出した場合に前記MOSTランジスタを駆動するMOSTランジスタに並列に他のMOSTランジスタを接続する接続手段とを具備することを特徴とするDC/DCコンバータである。

【0009】更に、第2の発明の構成により、スイッチング動作するMOSTランジスタにより負荷と直流電源との間をオンオフするDC/DCコンバータにおいて、検出手段が負荷の大小を検出し、前記負荷が大きいことを前記検出手段が検出した場合に、接続手段が、前記MOSTランジスタを駆動するMOSTランジスタに並列に他のMOSTランジスタを接続するので、前記負荷の大小に係わらずDC/DCコンバータを効率良く動作させることができる。

【0010】

【発明の実施の形態】図1は本願発明の第1の実施の形態に係わるDC/DCコンバータの回路を示している。図1において、電源端子6と出力端子7との間に直列にパワーマOSTランジスタ（pチャネル型MOSFET） Q_1 のソース・ドレイン間、インダクタンス L_1 及び抵抗 R_1 が直列に接続され、直流電源+ V_{DS} が電源端子6と接地点との間に接続され、負荷1が出力端子7と接地点との間に接続されている。更に、パワーマOSTランジスタ（pチャネル型MOSFET） Q_2 のソース・ドレイン間がMOSTランジスタ Q_1 のソース・ドレイン間に並列に接続されている。MOSTランジスタ（nチャネル型MOSFET） Q_3 はソースが接地点に接続され、ドレインがMOSTランジスタ Q_1 のドレインに接続されている。更に、MOSTランジスタ（nチャネル型MOSFET） Q_4 のソース・ドレイン間がMOSTランジスタ Q_3 のソース・ドレイン間に並列に接続されている。

【0011】差動増幅器2の出力端子は、スイッチ SW_1 の入力端子 d_1 及びスイッチ SW_2 の入力端子 d_2 に接続されている。差動増幅器2は抵抗 R_1 の電圧とオフセット電圧 V_{SS} との差電圧を入力とし、該差電圧が所定値以下のときは、スイッチ SW_1 及びスイッチ SW_2 を実線 c で示す接続状態（ SW_1 では端子 a_1 と端子 b_1 が接続され、 SW_2 では端子 a_2 と端子 b_2 が接続された状態）にし、前記差電圧が前記所定値を越えるときは、スイッチ SW_1 及びスイッチ SW_2 を点線 d で示す接続状態（ SW_1 では端子 a_1 と端子 c_1 が接続され、 SW_2 では端子 a_2 と端子 c_2 が接続された状態）にする。制御回路3はドライバ4、5及びスイッチ SW_1 、 SW_2 を含んでいる。ドライバ4の出力端子は、MOSTランジスタ Q_1 のゲート及びスイッチ SW_1 の端子 c_1 に接続され、ドライバ5の出力端子は、MOSTランジスタ Q_3 のゲート及びスイッチ SW_2 の端子 c_2 に接続されている。ダイオード D_1 はカソードがMOSTランジスタ Q_1 のドレインに接続され、アノードが接地されている。コンデンサ C_1 は電源端子6と接地点との間に接続

され、コンデンサ C_2 は出力端子7と接地点との間に接続されている。

【0012】以上の構成により、負荷1が所定値以下のとき（軽負荷時）は、抵抗 R_1 の電圧降下が小さいので、スイッチ SW_1 及びスイッチ SW_2 の接続は実線で示す状態である。このため、制御回路3のドライバ4はMOSTランジスタ Q_1 のゲートを駆動し、ドライバ5はMOSTランジスタ Q_3 のゲートを駆動する。なお、このとき、MOSTランジスタ Q_2 のゲート・ソース間にはスイッチ SW_1 の端子 a_1 、 b_1 により短絡され、MOSTランジスタ Q_4 のゲート・ソース間にはスイッチ SW_2 の端子 a_2 、 b_2 により短絡されている。このため、軽負荷時は、パワーマOSTランジスタ Q_1 のみのゲートのチャージ量（ゲートに存在するキャパシタンスの充電電荷量）がMOSTランジスタ Q_1 とMOSTランジスタ Q_2 とのゲートのチャージ量の和より少ないので、効率を上げることができる。なお、MOSTランジスタ Q_1 とMOSTランジスタ Q_3 とは、ドライバ4、5により駆動されて交互にオンとなる。

【0013】一方、負荷が所定値を越えるとき（重負荷時）は、抵抗 R_1 の電圧降下が大きいので、スイッチ SW_1 及びスイッチ SW_2 の接続は点線で示す状態である。このため、MOSTランジスタ Q_2 はMOSTランジスタ Q_1 に並列に接続され、MOSTランジスタ Q_4 はMOSTランジスタ Q_3 に並列に接続される。このため、MOSTランジスタ Q_1 、 Q_2 を合わせたランジスタのオン抵抗が小さくなるので、効率がよくなる。このとき、制御回路3のドライバ4はMOSTランジスタ Q_1 、 Q_2 のゲートを駆動し、ドライバ5はMOSTランジスタ Q_3 、 Q_4 のゲートを駆動する。なお、パワーマOSTランジスタ Q_1 、 Q_2 をnチャネル型パワーマOSTランジスタとしてもよい。この場合、nチャネル型パワーマOSTランジスタ Q_1 、 Q_2 のゲート入力信号の極性は前記pチャネルの場合のものと逆になる。

【0014】図2は本願発明の第2の実施の形態に係わるDC/DCコンバータの回路を示している。第2の実施の形態は上記第1の実施の形態の変形例である。図2において、制御回路3aはドライバ4a及びドライバ5aを制御し、ドライバ4aは図1のドライバ4と同様に動作し、ドライバ5aは図1のドライバ5と同様に動作する。差動増幅器2a、2bは図1の差動増幅器2を置き換えたものである。差動増幅器2aは抵抗 R_1 の電圧を増幅し、差動増幅器2bは差動増幅器2aの出力と基準電圧 V_r とを比較する比較器として動作し、スイッチ SW_1 、 SW_2 を制御する。制御回路3aは出力端子7からフィードバック信号を受け、負荷出力を所定値に保つようにドライバ4a、5aをパルス幅変調（PWM）により制御する。その他は、上記図1と同様である。

【0015】図2においても、図1と同様に、重負荷の

ときはMOSTランジスタ Q_2 がMOSTランジスタ Q_1 に並列に接続され、MOSTランジスタ Q_4 がMOSTランジスタ Q_3 に並列に接続され、軽負荷のときはMOSTランジスタ Q_1 とMOSTランジスタ Q_3 のみが動作する。このため、図2の回路は図1の回路と同様の効果がある。

【0016】図3は、第3の実施の形態に係わるDC/DCコンバータの回路を示している。図3において、電源端子17と出力端子18との間に直列にパワーMOSTランジスタ(pチャネル型MOSFET) Q_9 のソース・ドレイン間、インダクタンス L_2 及び抵抗 R_2 が直列に接続され、負荷11が出力端子18と接地点との間に接続されている。なお、電源端子17には前記電源端子6と同様に直流電源が接続されている。

【0017】制御回路13は、MOSTランジスタ(pチャネル型MOSFET) Q_5 、 Q_6 、MOSTランジスタ(nチャネル型MOSFET) Q_7 、 Q_8 、スイッチ SW_3 、 SW_4 及びドライバ14、15、16からなる。MOSTランジスタ Q_5 のソース・ドレイン間がMOSTランジスタ Q_6 のソース・ドレイン間に接続されている。接地点と前記MOSTランジスタ Q_9 のドレインとの間にパワーMOSTランジスタ(nチャネル型MOSFET) Q_{10} のソース・ドレイン間が接続されている。MOSTランジスタ Q_5 のソース・ドレイン間がMOSTランジスタ Q_6 のゲートと接地点との間に接続され、更に、MOSTランジスタ Q_7 のソース・ドレイン間がMOSTランジスタ Q_8 のソース・ドレイン間に接続されている。

【0018】ドライバ14の出力端子はMOSTランジスタ Q_5 のゲート及びスイッチ SW_3 の端子 c_3 に接続され、ドライバ15の出力端子はMOSTランジスタ Q_6 のゲート及びスイッチ SW_4 の端子 c_4 に接続されている。更に、ドライバ16の出力端子はMOSTランジスタ Q_{10} のゲートに接続されている。差動増幅器12は、抵抗 R_2 の電圧とオフセット電圧 V_{set} との差電圧を入力とし、差動増幅器12の出力端子はスイッチ SW_3 の端子 d_3 及び SW_4 の入力端子 d_4 に接続されている。差動増幅器12により、抵抗 R_2 の電圧が所定値以下のとき(軽負荷時)は、スイッチ SW_3 、 SW_4 の接続状態は実線で示す状態(SW_3 の端子 a_3 と端子 b_3 が接続され、 SW_4 の端子 a_4 と端子 b_4 が接続された状態)となり、抵抗 R_2 の電圧が前記所定値を越えるとき(重負荷時)は、スイッチ SW_3 、 SW_4 の接続状態は点線で示す状態(SW_3 の端子 a_3 と端子 c_3 が接続され、 SW_4 の端子 a_4 と端子 c_4 が接続された状態)となる。

【0019】ダイオード D_2 はカソードがMOSTランジスタ Q_9 のドレインに接続され、アノードが接地され

ている。コンデンサ C_3 は電源端子17と接地点との間に接続され、コンデンサ C_4 は出力端子18と接地点との間に接続されている。なお、パワーMOSTランジスタ Q_{10} のゲートに接続する回路は、ドライバ16でも、パワーMOSTランジスタ Q_9 のゲートに接続する回路と同様のものでもよい。また、パワーMOSTランジスタ Q_{10} をなくして非同期型DC/DCコンバータとしてもよい。

【0020】以上の構成により、軽負荷時は、抵抗 R_2 の電圧が所定値以下なので、スイッチ SW_3 によりMOSTランジスタ Q_6 が動作しないようにされ、スイッチ SW_4 によりMOSTランジスタ Q_7 が動作しないようにされる。このため、ドライバ14はMOSTランジスタ Q_5 のみを駆動し、ドライバ15はMOSTランジスタ Q_6 のみを駆動する。このため、ドライバ14、15の駆動損失が少なくなるので、効率上がる。なお、MOSTランジスタ Q_5 とMOSTランジスタ Q_6 とはCMOSとして動作し、交互にオンとなり、次段のMOSTランジスタ Q_9 を駆動する。ドライバ16はMOSTランジスタ Q_{10} を駆動する。

【0021】一方、重負荷時は、抵抗 R_2 の電圧が所定値を越えるので、スイッチ SW_3 によりMOSTランジスタ Q_8 がMOSTランジスタ Q_5 に並列に接続され、スイッチ SW_4 によりMOSTランジスタ Q_7 がMOSTランジスタ Q_6 に並列に接続される。このため、ドライバ14はMOSTランジスタ Q_5 、 Q_6 を駆動し、ドライバ15はMOSTランジスタ Q_7 、 Q_8 を駆動する。MOSTランジスタ Q_5 、 Q_6 とMOSTランジスタ Q_7 、 Q_8 とはCMOSとして動作し、交互にオンとなり、次段のMOSTランジスタ Q_9 を駆動する。このため、MOSTランジスタ Q_9 は、スイッチング速度が速くなるので、MOSTランジスタ Q_9 のスイッチング損失が少なくなる。この結果、効率がよくなる。なお、ドライバ16はMOSTランジスタ Q_{10} を駆動し、MOSTランジスタ Q_9 とMOSTランジスタ Q_{10} は交互にオンとなる。このため、負荷の大小にかかわらずDC/DCコンバータを効率よく動作させることができる。

【0022】

【発明の効果】本願の第1の発明に係わるDC/DCコンバータによれば、負荷が大きい場合に、スイッチング動作により負荷と直流電源との間をオンオフするパワーMOSTランジスタに並列に他のパワーMOSTランジスタが接続されるので、負荷の大小に係わらずDC/DCコンバータを効率良く動作させることができる。更に、使用するパワーMOSTランジスタの容量を最大限に使用するので、むだなパワーMOSTランジスタがないため、コストが安くなる。更に、第2の発明のDC/DCコンバータによれば、負荷が大きい場合に、スイッチング動作により負荷と直流電源との間をオンオフするパワーMOSTランジスタを駆動するMOSTランジスタ

タに並列に他のMOSトランジスタが接続されるので、前記負荷の大小に係わらずDC/DCコンバータを効率良く動作させることができる。更に、使用するMOSトランジスタの容量を最大限に使用するの、むだなMOSトランジスタがないため、コストが安くなる。

【図面の簡単な説明】

【図1】本願発明の第1の実施の形態に係るDC/DCコンバータの回路図である。

【図2】第2の実施の形態に係るDC/DCコンバータの回路図である。

【図3】第3の実施の形態に係るDC/DCコンバータの回路図である。

【図4】従来例の回路図である。

【符号の説明】

1、11 負荷

6、17 電源端子

Q_1 、 Q_2 、 Q_9 pチャネル型パワーMOSトランジスタ

Q_3 、 Q_4 、 Q_{10} nチャネル型パワーMOSトランジスタ

Q_6 、 Q_8 pチャネル型MOSトランジスタ

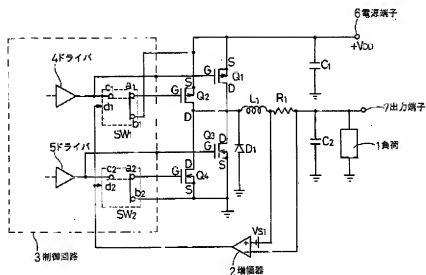
Q_7 、 Q_8 nチャネル型MOSトランジスタ

R_1 、 R_2 抵抗

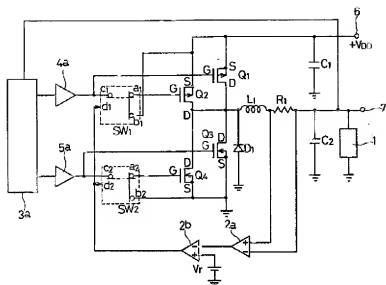
2、2a、2b 差動増幅器

SW_1 、 SW_2 、 SW_3 、 SW_4 スイッチ

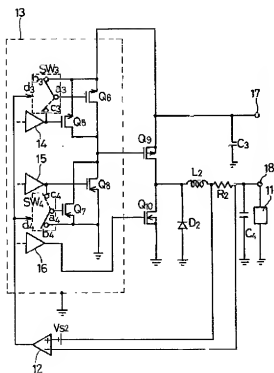
【図1】



【図2】



【図3】



【図4】

